

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-009223

(43)Date of publication of application : 11.01.2002

(51)Int.Cl.

H01L 23/50
H01L 23/12
H01L 25/04
H01L 25/18

(21)Application number : 2000-186815

(71)Applicant : SONY CORP

(22)Date of filing : 21.06.2000

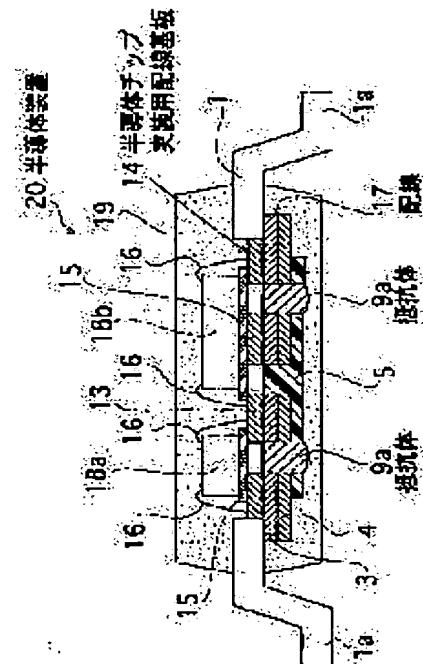
(72)Inventor : KUSANO HIDETOSHI
NISHIYAMA KAZUO

(54) WIRING BOARD FOR MOUNTING SEMICONDUCTOR CHIP, ITS MANUFACTURING METHOD AND SEMICONDUCTOR DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a wiring board for mounting a semiconductor chip that can be miniaturized and can reduce the cost, and its manufacturing method as well as a semiconductor device.

SOLUTION: Resistors 9a, 9b that are embedded in wiring 17 that is formed on a wiring board for mounting a semiconductor chip are provided.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

* NOTICES *

JPO and NCIPI are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.**** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] It is the wiring substrate for semiconductor chip mounting characterized by embedding said resistor during said wiring in the wiring substrate for semiconductor chip mounting with which wiring connected to a semiconductor chip and an electric target is formed, and the resistor is prepared in this wiring.

[Claim 2] The wiring substrate for semiconductor chip mounting according to claim 1 which carries out a laminating to said wiring and is characterized by forming an insulator layer, forming the slit which connects between different resistors embedded by this insulator layer during said wiring, and embedding the resistor also to this slit.

[Claim 3] The manufacture approach of the wiring substrate for semiconductor chip mounting characterized by forming wiring connected to a semiconductor chip and an electric target, forming an opening hole in said wiring in the manufacture approach of the wiring substrate for semiconductor chip mounting of having prepared the resistor in this wiring, embedding resistive paste at said opening hole, making this resistive paste sinter, and making a resistor form during said wiring.

[Claim 4] The manufacture approach of the wiring substrate for semiconductor chip mounting according to claim 3 which carries out a laminating to said wiring and is characterized by forming the slit which connects between different opening holes formed in said wiring, embedding resistive paste to said opening hole and said slit, making said insulator layer sinter this resistive paste, and making a resistor to form an insulator layer and form in it at said opening hole and said slit.

[Claim 5] It is the semiconductor device characterized by embedding said resistor during said wiring in the semiconductor device with which it connected with said wiring electrically, and two or more semiconductor chips were mounted in the wiring substrate for semiconductor chip mounting with which wiring with which the resistor is prepared was formed, and were held in the package.

[Claim 6] The semiconductor device according to claim 5 which carries out a laminating to said wiring and is characterized by forming an insulator layer, forming the slit which connects between different resistors embedded by this insulator layer during said wiring, and embedding the resistor also to this slit.

[Translation done.]

* NOTICES *

JPO and NCIPI are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.**** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Field of the Invention] This invention relates to the semiconductor device with which packaging of two or more semi-conductors was mounted and carried out to the wiring substrate for semiconductor chip mounting, its manufacture approach, and its substrate for semiconductor chip mounting.

[0002]

[Description of the Prior Art] As an approach of making resistance forming between ICs, each IC is mounted in a printed-circuit board, and there are some which mount resistance components, such as a chip resistor, on the printed circuit which connects between these ICs.

[0003] Moreover, he is trying to form resistance between chips and between a chip and a lead terminal by making two or more raise in basic wages (before packaging) chips mount in a small substrate (leadframe), and mounting resistance components on circuit wiring formed in the leadframe also in the multi chip package used as one package component.

[0004] Moreover, it is accumulated, and a resistance element is also doubled with a semi-conductor substrate, and the component of a different function can be made from the system LSI formed into 1 chip.

[0005]

[Problem(s) to be Solved by the Invention] By the approach of mounting resistance components on a printed-circuit board or a leadframe, the tooth space for the mounting is needed and it becomes the failure of a miniaturization. Moreover, in a system LSI, time and effort and time amount are taken on the occasion of the manufacture, and a manufacturing cost is also attached further highly.

[0006] This invention is made in view of an above-mentioned problem, can be miniaturized, and let it be a technical problem to offer the wiring substrate for semiconductor chip mounting which cost does not apply further, either, its manufacture approach, and a semiconductor device.

[0007]

[Means for Solving the Problem] In solving the above technical problem, by claim 1 of this invention, it is embedded during wiring formed in the wiring substrate for semiconductor chip mounting, and the resistor is prepared.

[0008] In claim 3 of this invention, embed resistive paste at this opening hole, and make this resistive paste sinter, a resistor is made to form wiring connected to a semiconductor chip and an electric target, to form an opening hole in this wiring, and to form during wiring, and the wiring substrate for semiconductor chip mounting is manufactured.

[0009] In claim 5 of this invention, it is embedded during wiring formed in the wiring substrate for semiconductor chip mounting in the semiconductor device which two or more semiconductor chips were mounted and was held in the package, and the resistor is prepared.

[0010]

[Embodiment of the Invention] Hereafter, the gestalt of operation of this invention is explained with reference to a drawing.

[0011] Drawing 2 and drawing 3 show the production process of the substrate for semiconductor chip mounting by the gestalt of this operation. The gestalt of this operation shows the leadframe (UFPL;Ultra Fine Pitch Lead Frame) used for a multi chip package as an example of the substrate for semiconductor chip mounting.

[0012] First, as shown in drawing 2 A, after forming a dry film resist on the base 1 which consists of a copper alloy, the resist 2 of a predetermined pattern is formed by performing exposure and a development.

[0013] Next, as shown in drawing 2 B, the nickel film 3 is formed by plating on the base 1 by using a resist 2 as a mask, and a copper film 4 is formed by plating on the nickel film 3.

[0014] Next, as shown in drawing 2 C, a resist 2 is exfoliated from on the base 1. Thereby, the base 1 in which

the desired nickel film 3 and desired copper film 4 of a pattern were formed is obtained.

[0015] Next, as shown in drawing 2 D, by covering the nickel film 3 and a copper film 4, and applying and sintering polyamic acid on the base 1, the polyimide film 5 is formed as the 1st insulator layer, and a dry film resist 6 is further formed selectively on the polyimide film 5.

[0016] Next, as shown in drawing 2 E, the polyimide film 5, a copper film 4, and the nickel film 3 are etched by using a resist 6 as a mask, and the opening holes 7a and 7b are formed.

[0017] Next, as shown in drawing 3 A, a dry film resist 8 is selectively formed in both sides of the base 1. And the base 1 is etched by using this resist 8 as a mask, and as shown in drawing 3 B, the opening holes 10a and 10b are formed. When these opening holes 10a and 10b are seen superficially, and two or more formation is carried out, therefore a leadframe is started at an after process, two or more lead terminals will be formed.

[0018] Next, Resistors 9a and 9b are made to form, as the opening holes 7a and 7b are made to embed and sinter resistive paste by screen-stencil and it is shown in them at drawing 3 B. Carbon, metal oxide, etc. are used as an ingredient of resistive paste.

[0019] Next, as are shown in drawing 3 C, and all the top faces of the base 1 are covered, a dry film resist 11 is further formed in an underside selectively.

[0020] And the underside side of the base 1 is etched by using the resist 11 as a mask, and opening 12 is formed as shown in drawing 3 D.

[0021] Next, as shown in drawing 3 E, a gold film 13 is formed in the underside of the nickel film 3 exposed by formation of opening 12 by plating, and a leadframe 14 is obtained. The circuit wiring 17 of a desired pattern is formed of a gold film 13, the nickel film 3, and a copper film 4.

[0022] Moreover, in order to prevent degradation of Resistors 9a and 9b, a protective coat may be formed on the polyimide film 5, and bonnet protection of the resistors 9a and 9b may be carried out.

[0023] And on the gold film 13 of the completed leadframe 14, as shown in drawing 1, two or more semiconductor chips (in drawing, it is two, for example, DRAM chip 18a and logic chip 18b) are mounted through the insulating paste 15. Wirebonding of the electrode formed in each chips 18a and 18b is carried out to a gold film 13 by the gold streak 16. And packaging is carried out with resin 19 and a multi chip package 20 is completed as a semiconductor device. Between each chip 18a and 18b and between these and lead terminal 1a will be connected with desired resistance.

[0024] It considers as desired resistance by controlling the volume at the resistors 9a and 9b embedded and formed during wiring 17. Moreover, according to a part to form resistance in, and a number, Resistors 9a and 9b are embedded during wiring 17 at wiring 17.

[0025] Since it will incorporate while wiring the resistor of the chip circumference mounted on wiring in the former, a miniaturization is realizable. Moreover, if another chip is mounted in the location where resistance components were mounted, densification can be attained from that of mounting. Furthermore, since resistance is formed in a desired location by the easy method of embedding a resistor during wiring, compared with a system LSI, manufacture is easy, and, as for production time, cost does not start short.

[0026] Next, the gestalt of operation of the 2nd of this invention is explained.

[0027] With the gestalt of this operation, after Resistors 9a and 9b are embedded after the process shown by drawing 3 B in the gestalt of implementation of the above 1st (i.e., the polyimide film 5, a copper film 4, and the nickel film 3), as drawing 4 A shows, the dry film 21 is formed as the 2nd insulator layer on the polyimide film 5.

[0028] And drawing 5 shows the top view of the important section in drawing 4 A, and forms slit 21a on the above-mentioned dry film 21. Slit 21a connects resistor 9c of other parts formed like resistor 9a and this resistor 9a, and is formed. In addition, formation of slit 21a is performed considering the resist selectively formed on the dry film 21 as a mask.

[0029] And slit 21a is made to embed and sinter the same resistive paste as the time of forming resistor 9a. Therefore, resistor 9a is connected with resistor 9c through the resistor embedded at slit 21a.

[0030] After forming the opening holes 10a and 10b in the base 1 according to the same process as the gestalt of implementation of the above 1st, as shown in drawing 4 B, the resistor 22 which formed the protective coat 23 on the dry film 21, and was embedded at Resistors 9a, 9b, and 9c and slit 21a is protected.

[0031] Henceforth, through the same process as the gestalt of the 1st operation, as shown in drawing 4 C, the leadframe 24 by the gestalt of this operation is obtained.

[0032] And two or more chips are mounted in a leadframe 24 like the gestalt of the 1st operation, packaging is carried out by resin, and a multi chip package is obtained.

[0033] In the gestalt of the 1st operation, as shown in drawing 5, between the chip and lead terminal linked to wiring 17a, and the chip and lead terminal linked to wiring 17b, resistance is formed of resistor 9a, and resistance will be formed with the gestalt of operation of *** 2 also between the chips and lead terminals which are further connected to wiring 17c.

[0034] Moreover, since circuit wiring is formed in high density, when the opening holes 7a and 7b formed in the gestalt of the 1st operation are not made into desired magnitude, That is, when the resistors 9a and 9b embedded at this are not made to desired resistance, by the resistor to have been embedded to the slit by the approach by the gestalt of operation of **** 2, the volume of a resistor can be adjusted and stabilization of resistance can be attained.

[0035] As mentioned above, of course based on the technical thought of this invention, various deformation is possible for this invention, although the gestalt of each operation of this invention was explained, without being limited to these.

[0036] With the gestalt of the above-mentioned implementation, you may be INTAPOZA in a BGA package as a substrate for semiconductor chip mounting, for example.

[0037] Moreover, the 2nd insulator layer 21 is not formed, but a slit is formed in the 1st insulator layer 5 by the desired pattern, and you may make it embed a resistor in the gestalt of implementation of the above 2nd at this. In this case, that slit is formed so that the 1st insulator layer 5 may not be penetrated, namely, so that a copper film 4 may not be exposed.

[0038]

[Effect of the Invention] As stated above, according to claim 1 of this invention, or 3, a miniaturization can be attained and the low cost substrate for semiconductor chip mounting is obtained.

[0039] According to claim 5, a miniaturization can be attained and a low cost semiconductor device is obtained.

[0040] Therefore, resistance can be stabilized, without lengthening the leading-about die length of a resistor unnecessarily, when there are many formation parts of a resistor since the leading-about circuit of a resistor can be made to form in three dimensions if it depends for any of claims 2, 4, and 6 being.

[Translation done.]

* NOTICES *

JPO and NCIPI are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.**** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] It is the sectional view of the semiconductor device by the gestalt of operation of the 1st of this invention.

[Drawing 2] It is a process explanatory view explaining the production process of the wiring substrate for semiconductor chip mounting by the gestalt of operation of the 1st of this invention.

[Drawing 3] It is the process explanatory view which explains the production process of the wiring substrate for semiconductor chip mounting by the gestalt of operation of the 1st of this invention following drawing 2.

[Drawing 4] It is a process explanatory view explaining the production process of the wiring substrate for semiconductor chip mounting by the gestalt of operation of the 2nd of this invention.

[Drawing 5] It is the top view of the important section in drawing 4 A.

[Description of Notations]

1 the copper alloy base and 3 .. the nickel film and 4 .. copper and 5 .. the 1st insulator layer (polyimide film) and 7a .. an opening hole and 7b .. an opening hole and 9a .. a resistor and 9b .. a resistor and 13 .. a gold film and 14 .. a leadframe and 17 -- .. -- wiring and 18a .. -- a semiconductor chip and 18b .. -- a semiconductor chip and 20 .. -- a multi chip package and 21 .. -- the 2nd insulator layer and 21a .. -- a slit and 23 -- .. a protective coat and 24 .. a leadframe.

[Translation done.]

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2002-9223

(P2002-9223A)

(43)公開日 平成14年1月11日(2002.1.11)

(51)Int.Cl.

H 01 L 23/50
23/12
25/04
25/18

識別記号

F I

H 01 L 23/50
23/12
25/04

テマコト(参考)

X 5 F 0 6 7
B
Z

審査請求 未請求 請求項の数6 O L (全6頁)

(21)出願番号

特願2000-186815(P2000-186815)

(22)出願日

平成12年6月21日(2000.6.21)

(71)出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72)発明者 草野 英俊

東京都品川区北品川6丁目7番35号 ソニ
一株式会社内

(72)発明者 西山 和夫

東京都品川区北品川6丁目7番35号 ソニ
一株式会社内

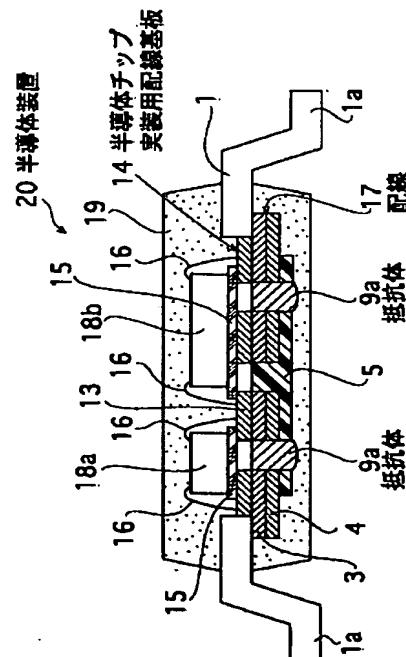
Fターム(参考) 5F067 AA01 BB08 BE10 CC02 CC09
CD10 DA05

(54)【発明の名称】 半導体チップ実装用配線基板、その製造方法及び半導体装置

(57)【要約】

【課題】 小型化でき、更にコストもかからない半導体チップ実装用配線基板、その製造方法及び半導体装置を提供することを課題とする。

【解決手段】 半導体チップ実装用配線基板14に形成された配線17中に埋め込まれて抵抗体9a、9bが設けられている。



1

【特許請求の範囲】

【請求項1】 半導体チップと電気的に接続される配線が形成され、この配線に抵抗体が設けられている半導体チップ実装用配線基板において、前記抵抗体は前記配線中に埋め込まれていることを特徴とする半導体チップ実装用配線基板。

【請求項2】 前記配線に積層して絶縁膜が形成され、この絶縁膜に、前記配線中に埋め込まれた異なる抵抗体間を接続するスリットが形成され、このスリットにも抵抗体が埋め込まれていることを特徴とする請求項1に記載の半導体チップ実装用配線基板。

【請求項3】 半導体チップと電気的に接続される配線を形成して、この配線に抵抗体を設けるようにした半導体チップ実装用配線基板の製造方法において、

前記配線に開口孔を形成し、

前記開口孔に抵抗ペーストを埋め込み、

この抵抗ペーストを焼結させて前記配線中に抵抗体を形成させることを特徴とする半導体チップ実装用配線基板の製造方法。

【請求項4】 前記配線に積層して絶縁膜を形成し、前記絶縁膜に、前記配線に形成された異なる開口孔間を接続するスリットを形成し、前記開口孔及び前記スリットに抵抗ペーストを埋め込み、

この抵抗ペーストを焼結させて前記開口孔及び前記スリットに抵抗体を形成させることを特徴とする請求項3に記載の半導体チップ実装用配線基板の製造方法。

【請求項5】 抵抗体が設けられている配線が形成された半導体チップ実装用配線基板に、複数の半導体チップが前記配線に電気的に接続され実装されてパッケージに収容された半導体装置において、前記抵抗体は前記配線中に埋め込まれていることを特徴とする半導体装置。

【請求項6】 前記配線に積層して絶縁膜が形成され、この絶縁膜に、前記配線中に埋め込まれた異なる抵抗体間を接続するスリットが形成され、このスリットにも抵抗体が埋め込まれていることを特徴とする請求項5に記載の半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体チップ実装用配線基板、その製造方法及びその半導体チップ実装用基板に複数の半導体が実装されパッケージングされた半導体装置に関する。

【0002】

【従来の技術】ICとICとの間に抵抗を形成させる方法としては、プリント配線基板に各ICを実装し、それらIC間を接続するプリント回路上に例えればチップ抵抗などの抵抗部品を実装するものがある。

【0003】また、複数のペア（パッケージング前）チ

10

ップを小型基板（リードフレーム）に実装させて、1つのパッケージ部品とするマルチチップパッケージにおいても、そのリードフレームに形成された回路配線上に抵抗部品を実装することで、チップ間やチップとリード端子間に抵抗を形成するようしている。

【0004】また、異なる機能の素子を集積して1チップ化したシステムLSIでは、半導体基板に抵抗素子も合わせて作り込むことができる。

【0005】

【発明が解決しようとする課題】プリント配線基板やリードフレーム上に抵抗部品を実装する方法では、その実装のためのスペースを必要とし、小型化の障害となる。また、システムLSIではその製造に際して手間や時間がかかり、更に製造コストも高くつく。

【0006】本発明は上述の問題に鑑みてなされ、小型化でき、更にコストもかからない半導体チップ実装用配線基板、その製造方法及び半導体装置を提供することを課題とする。

【0007】

【課題を解決するための手段】以上の課題を解決するにあたり、本発明の請求項1では、半導体チップ実装用配線基板に形成された配線中に埋め込まれて抵抗体が設けられている。

【0008】本発明の請求項3では、半導体チップと電気的に接続される配線を形成して、この配線に開口孔を形成し、この開口孔に抵抗ペーストを埋め込み、この抵抗ペーストを焼結させて配線中に抵抗体を形成させて、半導体チップ実装用配線基板を製造している。

【0009】本発明の請求項5では、複数の半導体チップが実装されてパッケージに収容された半導体装置における半導体チップ実装用配線基板に形成された配線中に埋め込まれて抵抗体が設けられている。

【0010】

【発明の実施の形態】以下、本発明の実施の形態について図面を参照して説明する。

【0011】図2及び図3は本実施の形態による半導体チップ実装用基板の製造工程を示す。本実施の形態では半導体チップ実装用基板の一例として、マルチチップパッケージに用いられるリードフレーム（UFPL;Ultra Fine Pitch Lead Frame）を示す。

【0012】先ず、図2Aに示すように銅合金から成るベース1の上にドライフィルムレジストを形成した後、露光、現像処理を行うことにより所定のパターンのレジスト2を形成する。

【0013】次に、図2Bに示すように、レジスト2をマスクとして、ベース1の上にニッケル膜3をメッキにより形成し、そのニッケル膜3の上にメッキにより銅膜4を形成する。

【0014】次に、図2Cに示すように、ベース1上からレジスト2を剥離する。これにより、所望のパターン

20

30

40

50

のニッケル膜3及び銅膜4が形成されたベース1が得られる。

【0015】次に、図2Dに示すように、ニッケル膜3及び銅膜4を覆ってベース1の上にポリアミック酸を塗布し焼結することにより、第1の絶縁膜としてポリイミド膜5を形成し、更にポリイミド膜5の上に選択的にドライフィルムレジスト6を形成する。

【0016】次に、図2Eに示すように、レジスト6をマスクとして、ポリイミド膜5、銅膜4及びニッケル膜3をエッチングして、開口孔7a、7bを形成する。

【0017】次に、図3Aに示すように、ベース1の両面に選択的にドライフィルムレジスト8を形成する。そして、このレジスト8をマスクとしてベース1をエッチングして、図3Bに示すように開口孔10a、10bを形成する。この開口孔10a、10bは平面的に見て複数形成され、従って後工程でリードフレームが切り出されたとき複数のリード端子が形成されることになる。

【0018】次に、開口孔7a、7bに、例えばスクリーン印刷で抵抗ペーストを埋め込み焼結させ、図3Bに示すように、抵抗体9a、9bを形成させる。抵抗ペーストの材料としては例えばカーボン、酸化金属などが用いられる。

【0019】次に、図3Cに示すように、ベース1の上面全てを覆うようにして、更に下面には選択的にドライフィルムレジスト11を形成する。

【0020】そして、そのレジスト11をマスクとしてベース1の下面側をエッチングして、図3Dに示すように開口12を形成する。

【0021】次に、図3Eに示すように、開口12の形成により露出したニッケル膜3の下面にメッキにより金膜13を形成し、リードフレーム14が得られる。金膜13、ニッケル膜3及び銅膜4により所望のパターンの回路配線17が形成される。

【0022】また、抵抗体9a、9bの劣化を防ぐために、ポリイミド膜5の上に保護膜を形成して抵抗体9a、9bを覆い保護してもよい。

【0023】そして、完成したリードフレーム14の金膜13上に、図1に示すように、絶縁ペースト15を介して複数の半導体チップ(図では例えばDRAMチップ18aとロジックチップ18bの2つ)を実装する。各チップ18a、18bに形成された電極は例えば金線16によって金膜13とワイヤボンディングされる。そして、樹脂19によりパッケージングされ、半導体装置としてマルチチップパッケージ20が完成する。各チップ18a、18b間や、これらとリード端子1aとの間が所望の抵抗値で接続されることになる。

【0024】配線17中に埋め込まれて形成された抵抗体9a、9bには、その体積を制御することによって所望の抵抗値とされる。また、配線17に抵抗を形成したい箇所、数に応じて抵抗体9a、9bは配線17中に埋

め込まれる。

【0025】従来においては配線上に実装されていたチップ周辺の抵抗体を配線中に取り込むことになるので小型化が実現できる。また、抵抗部品が実装されていた場所に別のチップを実装すれば、実装のより高密度化が図れる。更に、配線中に抵抗体を埋め込むという簡単な方法で所望の位置に抵抗を形成するので、システムLSIに比べて製造が容易であり製造時間も短くコストがかからない。

10 【0026】次に、本発明の第2の実施の形態について説明する。

【0027】本実施の形態では、上記第1の実施の形態における図3Bで示す工程の後、すなわち、ポリイミド膜5、銅膜4及びニッケル膜3に抵抗体9a、9bが埋め込まれた後、図4Aで示すように、ポリイミド膜5の上に、第2の絶縁膜としてドライフィルム21を形成する。

【0028】そして、図5は図4Aにおける要部の平面図を示し、上記ドライフィルム21上にスリット21aを形成する。スリット21aは抵抗体9aと、この抵抗体9aと同様に形成された他の箇所の抵抗体9cとを接続して形成される。なお、スリット21aの形成は、ドライフィルム21上に選択的に形成したレジストをマスクとして行われる。

【0029】そして、スリット21aに、抵抗体9aを形成したときと同じ抵抗ペーストを埋め込み焼結させる。従って、抵抗体9aはスリット21aに埋め込まれた抵抗体を介して抵抗体9cと接続される。

【0030】上記第1の実施の形態と同様な工程によりベース1に開口孔10a、10bを形成した後、図4Bに示すように、ドライフィルム21の上に保護膜23を形成して抵抗体9a、9b、9c及びスリット21aに埋め込まれた抵抗体22を保護する。

【0031】以後、第1の実施の形態と同様な工程を経て、図4Cに示すように、本実施の形態によるリードフレーム24が得られる。

【0032】そして、第1の実施の形態と同様にリードフレーム24に複数のチップを実装し、樹脂でパッケージングしてマルチチップパッケージが得られる。

【0033】第1の実施の形態では、図5に示されるように、配線17aに接続するチップやリード端子と、配線17bに接続するチップやリード端子との間には抵抗体9aによって抵抗が形成されており、本第2の実施の形態では、更に配線17cに接続するチップやリード端子との間にも抵抗が形成されることになる。

【0034】また、第1の実施の形態において形成される開口孔7a、7bを、回路配線が高密度に形成されているため所望の大きさにできないとき、すなわちこれに埋め込まれる抵抗体9a、9bを所望の抵抗値にできないときには、本第2の実施の形態による方法により、ス

リットに埋め込まれた分の抵抗体によって抵抗体の体積を調整して、抵抗値の安定化を図ることができる。

【0035】以上、本発明の各実施の形態について説明したが、勿論、本発明はこれらに限定されることなく、本発明の技術的思想に基づいて種々の変形が可能である。

【0036】上記実施の形態では、半導体チップ実装用基板としては、例えばBGAパッケージにおけるインターポーラーであってもよい。

【0037】また、上記第2の実施の形態において、第2の絶縁膜21を設けず、第1の絶縁膜5に所望のバターンでスリットを形成し、これに抵抗体を埋め込むようにもよい。この場合、そのスリットは第1の絶縁膜5を貫通しないように、すなわち銅膜4が露出しないように形成する。

【0038】

【発明の効果】以上述べたように、本発明の請求項1又は3によれば、小型化が図れ、且つ低コストな半導体チップ実装用基板が得られる。

【0039】請求項5によれば、小型化が図れ、且つ低コストな半導体装置が得られる。

【0040】請求項2、4、6の何れかによれば、抵抗体の引き回し回路を立体的に形成させることができるので、抵抗体の形成箇所が多い場合、抵抗体の引き回し長*

*さを不要に長くすることなく、よって抵抗値を安定化させることができる。

【図面の簡単な説明】

【図1】本発明の第1の実施の形態による半導体装置の断面図である。

【図2】本発明の第1の実施の形態による半導体チップ実装用配線基板の製造工程を説明する工程説明図である。

【図3】図2に続いて、本発明の第1の実施の形態による半導体チップ実装用配線基板の製造工程を説明する工程説明図である。

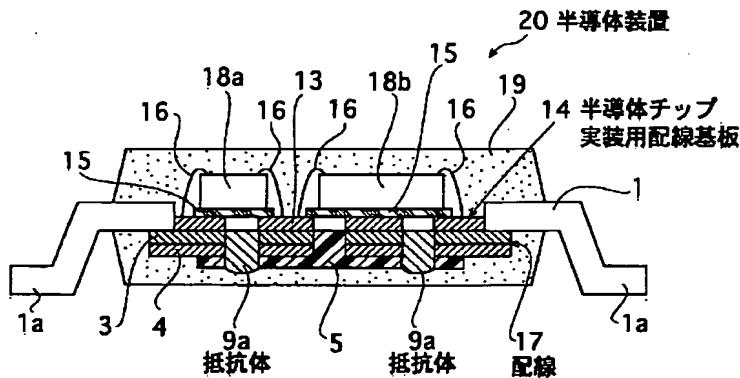
【図4】本発明の第2の実施の形態による半導体チップ実装用配線基板の製造工程を説明する工程説明図である。

【図5】図4Aにおける要部の平面図である。

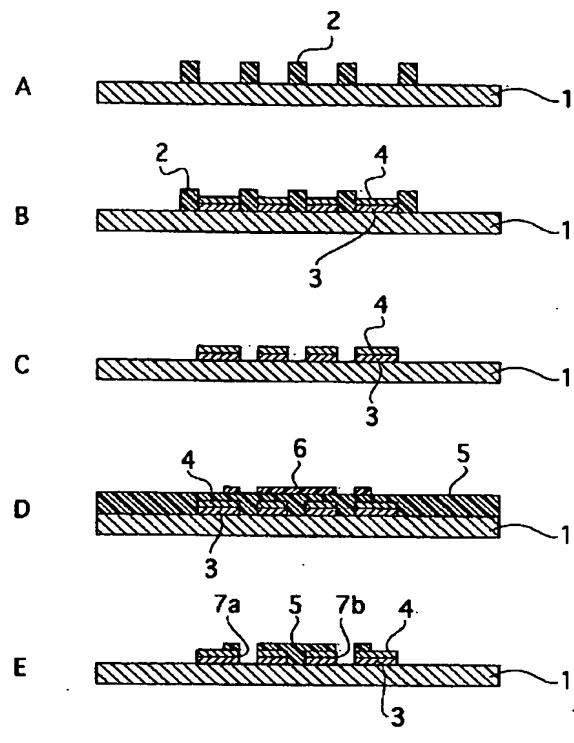
【符号の説明】

1……銅合金ベース、3……ニッケル膜、4……銅、5……第1の絶縁膜（ポリイミド膜）、7a……開口孔、7b……開口孔、9a……抵抗体、9b……抵抗体、13……金膜、14……リードフレーム、17……配線、18a……半導体チップ、18b……半導体チップ、20……マルチチップパッケージ、21……第2の絶縁膜、21a……スリット、23……保護膜、24……リードフレーム。

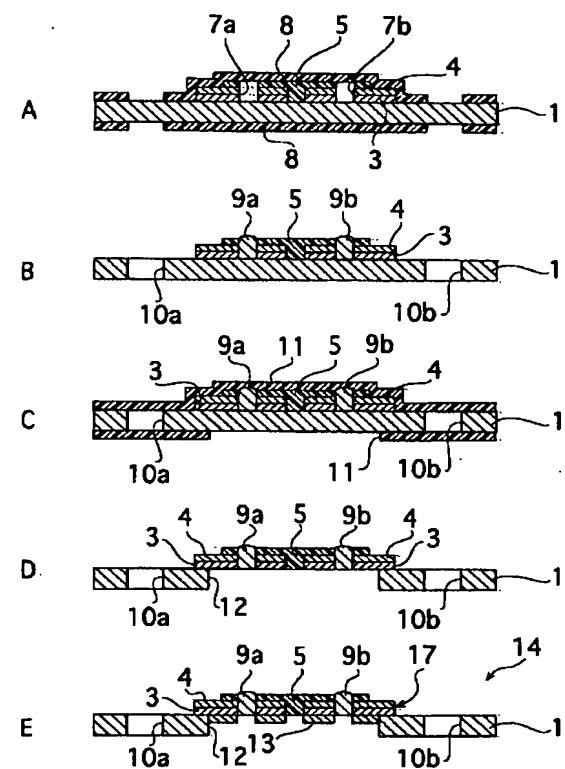
【図1】



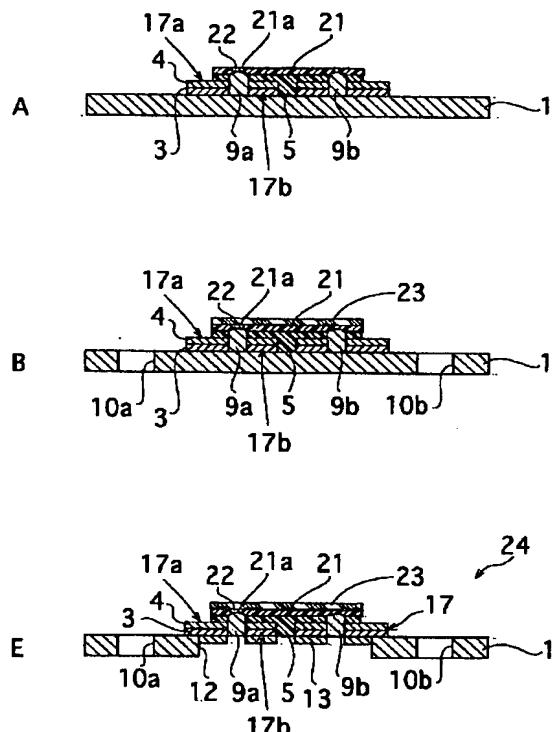
【図2】



【図3】



【図4】



【図5】

